

Министерство науки и высшего образования Российской Федерации
Федеральное государственное автономное образовательное учреждение высшего
образования «Национальный исследовательский университет «Московский институт
электронной техники»

УТВЕРЖДАЮ
Проректор по УР
А.Г. Балашов
«12» _____ 2025 г.



ПРОГРАММА ПОВЫШЕНИЯ КВАЛИФИКАЦИИ
«АРХИТЕКТУРЫ ПРОЦЕССОРНЫХ СИСТЕМ»

Программа разработана в Передовой инженерной школе
«Средства проектирования и производства электронной компонентной базы»

Москва – 2025 г.

1. Цель реализации программы

Цель программы – формирование у слушателей профессиональных компетенций в архитектуре вычислительной техники и современных процессорных систем в рамках учебных курсов по информационным технологиям и микроэлектронике.

2. Характеристика профессиональной деятельности и (или) квалификации

Научный проект ПИШ, в котором востребованы компетенции, сформированные в результате обучения по программе «Архитектуры процессорных систем», — «Создание библиотек СФ-блоков для СнК на базе RISC-V».

При разработке программы учтено мнение следующих высокотехнологичных компаний – ООО КНС ГРУПП

Область профессиональной деятельности: Производство электрооборудования, электронного и оптического оборудования.

Вид экономической деятельности: деятельность в области информации и связи (ОКВЭД) – 26.11.13 производство интегральных электронных схем.

26.11.3 Производство интегральных электронных схем

26.20.1 Производство компьютеров

Укрупнённая группа специальностей: 09.00.00 «Информатика и вычислительная техника»

Квалификация: новая квалификация не приобретается.

3. Требования к результатам обучения

Формируемая профессиональная компетенция – Способен осуществлять функциональную верификацию и разрабатывать тесты функционального контроля интегральных схем, определена на основании профессионального стандарта 40.016 «Инженер в области проектирования и сопровождения интегральных схем и систем на кристалле»,

В результате освоения данной программы слушатель должен:

знать: основные подходы к верификации цифровых устройств, принципы работы симуляторов Verilog и System Verilog,

уметь: проверять простейшие цифровые устройства с одиночным тактовым доменом, получать и анализировать функциональное покрытие.

иметь практический опыт: верификации цифровых устройств.

4. Содержание программы

Учебный план
программы повышения квалификации
«АРХИТЕКТУРЫ ПРОЦЕССОРНЫХ СИСТЕМ»

Категория слушателей – обучающихся по программе магистратуры, аспирантуры, а также преподаватели и специалисты.

Срок обучения – 72 часа

Форма обучения очная

№	Наименование разделов/модулей	Всего, час	В том числе		
			Аудиторных		СРС
			Лекции	Практические занятия	
1.	Введение и подготовка среды.	13	2	8	3
2.	Проектирование ядра процессора (часть 1)	13	1	10	2
3.	Проектирование ядра процессора (часть 2)	13	0	13	0
4.	Программное обеспечение для разработанного процессора.	13	2	9	2
5.	Расширение возможностей и методика проведения курса.	13	1	10	2
6.	Педагогический разбор курса	7	4	0	3
	Итоговая аттестация		зачет		
	Всего	72	10	50	12

Календарный учебный график

Календарный учебный график составляется в форме расписания занятий при наборе группы и прилагается к программе повышения квалификации.

Учебно-тематический план
программы повышения квалификации
«АРХИТЕКТУРЫ ПРОЦЕССОРНЫХ СИСТЕМ»

№	Наименование разделов/модулей	Всего, час	В том числе		
			Аудиторных		СРС
			Лекции	Практические занятия	
1.	Раздел 1. Введение и подготовка среды.	13	2	8	3
1.1	Обзор содержания и структуры курса, цели и методы обучения АПС.				
1.2	Знакомство с архитектурой RISC-V и концепцией одноконтурного процессора.				
1.3	Настройка рабочей среды: установка и базовый обзор САПР Vivado, подготовка отладочной платы				

№	Наименование разделов/модулей	Всего, час	В том числе		
	Nexys A7				
1.4	Выполнение вводных упражнений на SystemVerilog (создание простейших цифровых схем) для освоения инструментов.				
1.5	Проектирование полного 32-битного сумматора с последовательным переносом.				
2	Раздел 2. Проектирование ядра процессора (часть 1)				
2.1	Реализация основных компонентов тракта данных: арифметико-логического устройства (АЛУ), регистрового файла, декодера инструкций.	13	1	10	2
2.2	Моделирование и отладка разработанных модулей в Vivado.				
2.3	Обсуждение методики представления этих тем слушателям и типичных ошибок при описании логики на HDL.				
3	Раздел 3. Проектирование ядра процессора (часть 2)				
3.1	Объединение реализованных ранее модулей в тракт данных.	13	-	13	-
3.2	Реализация модуля загрузки и сохранения (Load & Store Unit, LSU), контроллера прерываний и блока регистров контроля и статуса (Control and Status Registers, CSR) и их интеграция в процессорное ядро.				
3.3	Интеграция памяти и простой периферии в состав процессорной системы.				
3.4	Моделирование работы процессорной системы.				
3.5	Рассмотрение подходов к поэтапной проверке знаний студентов и к помощи при затруднениях в ходе выполнения сложных частей работы.				
4	Раздел 4. Программное обеспечение для разработанного процессора.				
4.1	Освоение инструментария для разработки программ под собственный процессор.	13	2	9	2
4.2	Знакомство с компилятором GCC для RISC-V и сборкой простых программ на C/C++ (либо на языке ассемблера) для созданного процессора.				
4.3	Загрузка и выполнение программ на разработанном ядре (с использованием отладочной платы или удалённого доступа).				
4.4.	Анализ результатов работы программ, отладка при необходимости.				
4.5	Обсуждение того, как организовать у студентов написание и тестирование программ для самодельного процессора, какие задания можно предложить и как оценивать их выполнение.				
5	Раздел 5. Расширение возможностей и методика проведения курса.				
5.1	Рассмотрение дополнительных возможностей и завершающих этапов курса.	13	1	10	2
5.2	Подключение к процессорной системе модуля-				

№	Наименование разделов/модулей	Всего, час	В том числе		
	загрузчика (программатора) для автоматической прошивки программ в память процессора.				
5.3	Оценка производительности разработанного процессора с помощью бенчмарка CoreMark, анализ полученных показателей и обсуждение путей улучшения архитектуры.				
5.4	Подведение итогов практикума: обобщение полученного опыта, разбор вопросов участников.				
6	Раздел 6. Педагогический разбор курса	7	4	-	3
6.1	Обсуждение эффективных методических приёмов преподавания АПС, обмен опытом по постановке учебных задач, разбор часто встречающихся вопросов и ошибок слушателей.				
6.2	Рекомендации по внедрению полученных материалов в учебный процесс и поддержке сообщества преподавателей по данной тематике.				
	Итоговая аттестация	зачет			
	Всего	72	10	50	12

**Учебная программа
повышения квалификации
«АРХИТЕКТУРЫ ПРОЦЕССОРНЫХ СИСТЕМ»**

Раздел 1. Введение и подготовка среды. (13 часов)

Тема 1.1. Обзор содержания и структуры курса, цели и методы обучения АПС.

Тема 1.2. Знакомство с архитектурой RISC-V и концепцией одноктактного процессора.

Тема 1.3. Настройка рабочей среды: установка и базовый обзор САПР Vivado, подготовка отладочной платы Nexys A7.

Тема 1.4. Выполнение вводных упражнений на SystemVerilog (создание простейших цифровых схем) для освоения инструментов.

Тема 1.5. Проектирование полного 32-битного сумматора с последовательным переносом.

Перечень практических занятий

Номер темы	Наименование практического занятия	Кол-во часов
1.3	Настройка рабочей среды: установка и базовый обзор САПР Vivado, подготовка отладочной платы Nexys A7	2
1.4	Выполнение вводных упражнений на SystemVerilog (создание простейших цифровых схем) для освоения инструментов.	2
1.5	Проектирование полного 32-битного сумматора с последовательным переносом.	4

Самостоятельная работа

Номер темы	Вид самостоятельной работы	Кол-во часов
1.4	Изучение дополнительной литературы для подготовки к практическим занятиям, выполнение домашнего задания.	3
1.5		

Раздел 2. Проектирование ядра процессора (часть 1) (13 часов)

Тема 2.1. Реализация основных компонентов тракта данных: арифметико-логического устройства (АЛУ), регистрового файла, декодера инструкций.

Тема 2.2. Моделирование и отладка разработанных модулей в Vivado.

Тема 2.3. Обсуждение методики представления этих тем слушателям и типичных ошибок при описании логики на HDL.

Перечень практических занятий

Номер темы	Наименование практического занятия	Кол-во часов
2.1	Реализация основных компонентов тракта данных: арифметико-логического устройства (АЛУ), регистрового файла, декодера инструкций.	6
2.2	Моделирование и отладка разработанных модулей в Vivado.	4

Самостоятельная работа

Номер темы	Вид самостоятельной работы	Кол-во часов
2.1	Изучение дополнительной литературы для подготовки к практическим занятиям, выполнение домашнего задания.	2

Раздел 3. Проектирование ядра процессора (часть 2) (13 часов)

Тема 3.1. Объединение реализованных ранее модулей в тракт данных

Тема 3.2. Реализация модуля загрузки и сохранения (Load & Store Unit, LSU), контроллера прерываний и блока регистров контроля и статуса (Control and Status Registers, CSR) и их интеграция в процессорное ядро.

Тема 3.3. Интеграция памяти и простой периферии в состав процессорной системы.

Тема 3.4 Моделирование работы процессорной системы.

Тема 3.5 Рассмотрение подходов к поэтапной проверке знаний студентов и к помощи при затруднениях в ходе выполнения сложных частей работы.

Перечень практических занятий

Номер темы	Наименование практического занятия	Кол-во часов
3.1	Объединение реализованных ранее модулей в тракт данных.	4
3.2	Реализация модуля загрузки и сохранения (Load & Store Unit, LSU), контроллера прерываний и блока регистров контроля и статуса (Control and Status Registers, CSR) и их интеграция в процессорное ядро.	2
3.3	Интеграция памяти и простой периферии в состав процессорной системы.	4
3.4	Моделирование работы процессорной системы.	2
3.5	Рассмотрение подходов к поэтапной проверке знаний студентов и к помощи при затруднениях в ходе выполнения сложных частей работы.	1

Раздел 4. Программное обеспечение для разработанного процессора.

Тема 4.1. Освоение инструментария для разработки программ под собственный процессор.

Тема 4.2. Знакомство с компилятором GCC для RISC-V и сборкой простых программ на C/C++ (либо на языке ассемблера) для созданного процессора.

Тема 4.3. Загрузка и выполнение программ на разработанном ядре (с использованием отладочной платы или удалённого доступа).

Тема 4.4. Анализ результатов работы программ, отладка при необходимости.

Тема 4.5 Обсуждение того, как организовать у студентов написание и тестирование программ для самодельного процессора, какие задания можно предложить и как оценивать их выполнение.

Перечень практических занятий

Номер темы	Наименование практического занятия	Кол-во часов
4.2	Знакомство с компилятором GCC для RISC-V и сборкой простых программ на C/C++ (либо на языке ассемблера) для созданного процессора.	2
4.3	Загрузка и выполнение программ на разработанном ядре (с использованием отладочной платы или удалённого доступа).	3
4.4	Анализ результатов работы программ, отладка при необходимости.	2
4.5	Обсуждение того, как организовать у студентов написание и тестирование программ для самодельного процессора, какие задания можно предложить и как оценивать их выполнение.	2

Самостоятельная работа

Номер темы	Вид самостоятельной работы	Кол-во часов
4.1	Изучение дополнительной литературы для подготовки к практическим занятиям, выполнение домашнего задания.	2

Раздел 5. Расширение возможностей и методика проведения курса. (13 часов)

Тема 5.1. Рассмотрение дополнительных возможностей и завершающих этапов курса.

Тема 5.2. Подключение к процессорной системе модуля-загрузчика (программатора) для автоматической прошивки программ в память процессора.

Тема 5.3. Оценка производительности разработанного процессора с помощью бенчмарка CoreMark, анализ полученных показателей и обсуждение путей улучшения архитектуры.

Тема 5.4 Подведение итогов практикума: обобщение полученного опыта, разбор вопросов участников.

Перечень практических занятий

Номер темы	Наименование практического занятия	Кол-во часов
5.2	Подключение к процессорной системе модуля-загрузчика (программатора) для автоматической прошивки программ в память процессора.	4
5.3	Оценка производительности разработанного процессора с помощью бенчмарка CoreMark, анализ полученных показателей и обсуждение путей улучшения архитектуры.	4
5.4	Подведение итогов практикума: обобщение полученного опыта, разбор вопросов участников.	2

Самостоятельная работа

Номер темы	Вид самостоятельной работы	Кол-во часов
5.2	Изучение дополнительной литературы для подготовки к практическим занятиям, выполнение домашнего задания.	2
5.3		

Раздел 6. Педагогический разбор курса (7 часов)

Тема 6.1. Обсуждение эффективных методических приёмов преподавания АПС, обмен опытом по постановке учебных задач, разбор часто встречающихся вопросов и ошибок слушателей.

Тема 6.2. Рекомендации по внедрению полученных материалов в учебный процесс и поддержке сообщества преподавателей по данной тематике.

Самостоятельная работа

Номер темы	Вид самостоятельной работы	Кол-во часов
6.1	Изучение дополнительной литературы для подготовки к практическим занятиям, прохождение теоретических тестов, выполнение домашнего задания.	3
6.2		

5. Материально-технические условия реализации программы

5.1 Очная форма обучения

Наименование специализированных аудиторий кабинетов, лабораторий	Вид занятия	Наименование оборудования, программного обеспечения
Лаборатория аппаратных средств ИУС	Лекции	Аудиторный интерактивный комплекс, аудиторные персональные компьютеры с выходом в интернет, Vivado.
Лаборатория аппаратных средств ИУС	Практические занятия	Аудиторный интерактивный комплекс, аудиторные персональные компьютеры, с выходом в интернет, Vivado
Помещение для самостоятельной работы	Самостоятельная работа студентов	ПК с ОС Windows и Linux, Vivado.

6. Учебно-методическое обеспечение программы

Учебно-методическое обеспечение для самостоятельной работы обучающихся в составе УМК модуля (ОРИОКС// URL: , <http://orioks.miet.ru/>):

1. Методические указания обучающимся по изучению тем программы;
2. Презентационный материал к лекциям;

Литературный источник:

1. Переверзев А.Л., Попов М.Г., Солодовников А.П. Архитектуры процессорных систем. Практический курс Москва: ТЕХНОСФЕРА, 2024. – 398 с. + 10с. цв. вкл. ISBN 978-5-94836-714-9

7. Методические указания для обучающихся по освоению программы

Курс состоит из аудиторных часов и часов самостоятельной работы.

К аудиторным часам относятся: 10 лекционных занятий, 50 практических занятий.

Лекционные и практические занятия

В курсе используется подход, основанный на совмещении лекционного и практического занятий по каждой теме. Совмещённое занятие ведётся в формате диалога, в который интегрирована самостоятельная работа обучающихся над практическими заданиями. В середине совмещённого занятия (через 2 часа после начала) предусмотрен перерыв в 15 минут. В конце каждого совмещённого занятия обучающимся выдается домашнее задание, решение которого необходимо предоставить не позднее даты начала следующего занятия.

Самостоятельная работа

На самостоятельную работу обучающимся отводятся:

- доработка решений практических занятий;
- повторение теоретического материала;
- выполнение домашнего задания.

Организация взаимодействия с преподавателем

Для взаимодействия обучающихся с преподавателем используются сервисы обратной связи: ОРИОКС «Домашние задания», тематическая группа в Telegram, а также сервис GitHub.

При возникновении вопросов обучающийся может написать в раздел «Домашние задания», чат тематической группы в Telegram или задать вопросы во время аудиторных занятий.

Необходимая информация для организации процесса обучения высылается через раздел Новости ОРИОКС и дублируется в тематической группе в Telegram.

Зачёт

Программа завершается зачётом. Зачёт проводится в формате ответа на два теоретических вопроса, при ответе на оба вопроса выставляется 15 баллов, при неверном ответе хотя бы на один 0 баллов.

8. Оценка качества освоения программы

Для оценки успеваемости обучающихся, используется накопительная балльная система.

Баллами оцениваются: посещаемость лекций, выполнение практических заданий, зачет.

При условии выполнения каждого контрольного мероприятия по сумме выставляется зачет, если обучающийся набрал не менее 50 баллов.

Конкретные формы и процедуры текущего и промежуточного контроля знаний, умений и опыта деятельности доводятся до сведения обучающихся в течение первого месяца обучения.

Накопительно-балльная система дисциплины

Во время изучения программы могут быть накоплены следующие баллы, представленные в таблице 1.

Контрольные мероприятия	Баллы НБС
Посещаемость лекций	При посещении 100% лекций – 10 При посещении 60% лекций – 5 При посещении 20% лекций – 3 При нулевом посещении лекций – 0

Контрольные мероприятия	Баллы НБС
Выполнение практических заданий	При выполнении 100% ПЗ – 60 При выполнении 70% ПЗ – 40 При выполнении 30% ПЗ – 20 При не выполнении ПЗ – 0
Выполнение домашних заданий	При выполнении 100% ДЗ – 15 При выполнении 70% ДЗ – 7 При выполнении 30% ДЗ – 4 При не выполнении ДЗ – 0
Зачет	15
Итого	100

9. Составители программы

Доцент ПИШ, к.т.н



Д.В. Калеев

Старший преподаватель Института МПСУ



С.А. Солодовников

Согласовано:

Директор ПИШ



А.Л. Переверзев

Директор ДРОП



Н.Ю. Соколова

Руководитель направления САПР ЭКБ



А.В. Коршунов