

Министерство науки и высшего образования Российской Федерации  
Федеральное государственное автономное образовательное учреждение высшего  
образования «Национальный исследовательский университет  
«Московский институт электронной техники»



А.Г. Балашов

2022 г.

**ПРОГРАММА ПОВЫШЕНИЯ КВАЛИФИКАЦИИ  
ТЕХНОЛОГИИ ПЕРЕДАЧИ ДАННЫХ В СЕНСОРНЫХ СЕТЯХ**

Программа повышения квалификации разработана в Центре НТИ «Сенсорика»

Москва – 2022

## 1. Цель реализации программы

Цель программы – формирование у слушателей компетенций, необходимых для разработки и практического использования сквозных технологий Национальной технологической инициативы, направленной на использование технологии передачи данных в сенсорных сетях.

## 2. Характеристика профессиональной деятельности и (или) квалификации

Область профессиональной деятельности: 06.048 «Исследования, разработка, изготовление опытных образцов, техническое сопровождение в процессе эксплуатации радиоэлектронных средств различного назначения»; 29.015. «Конструирование радиоэлектронных средств различного функционального назначения».

Вид экономической деятельности: деятельность в области информации и связи

Укрупненная группа специальностей: 09.00.00, 11.00.00

Квалификация: без квалификации

## 3. Требования к результатам обучения

Формируемая профессиональная компетенция – способен проектировать сложнофункциональные блоки цифровой электроники при помощи языка описания аппаратуры Verilog, моделировать их работу в САПР Xilinx Vivado и реализовывать их на ПЛИС.

В результате освоения данной программы слушатель должен:

### знать:

- синтаксис языка Verilog;
- типы данных языка Verilog;
- основные функции и синтезируемые конструкции;
- принципы построения иерархических систем
- процедуры автоматической генерации и параметризации
- шаблонные и типовые библиотечные блоки

### уметь:

- синтезировать код в САПР Vivado;
- описывать на языке Verilog различные базовые блоки цифровой электроники (шифраторы, мультиплексоры, кодеры)
- создавать иерархическую структуру блоков, настраивать входы-выходы модулей
- проводить временное моделирование в САПР Vivado

**иметь опыт:**

- написания и отладки кода на языке Verilog
- сбора и анализа отчетов САПР Vivado
- переноса кода в прошивку для ПЛИС
- верификации полученных результатов

#### 4. Содержание программы

**Учебный план**  
**программы повышения квалификации**  
**«Технологии передачи данных в сенсорных сетях»**

Категория слушателей – специалисты в области разработки и практического использования цифровых схем, схем цифровой обработки сигнала, управляющих и контрольно-измерительных радиоэлектронных приборов.

Срок обучения – 72 часа

Форма обучения – заочная

№ п/п	Наименование разделов / модулей	Всего, час	В том числе			Образовательные технологии, в том числе ЭО и (или) ДОТ
			Аудиторных		Самостоятельная работа	
			Лекции	Практические и лабораторные занятия		
1.	Модуль 1 Основы языка Verilog	28	2		26	ДОТ
2.	Модуль 2. Проектирование цифровых схем	12	2		10	ДОТ
3.	Модуль 3. Моделирование в САПР Vivado.	12	2		10	ДОТ
4.	Модуль 4. Реализация схем на ПЛИС	16	2		14	ДОТ
	Консультации	4				ДОТ
	Всего	72	8		60	
Итоговая аттестация		Зачет				

**Учебно-тематический план  
программы повышения квалификации  
«Технологии передачи данных в сенсорных сетях»**

№	Наименование тем разделов / модулей	Всего, час	В том числе			Образовательные технологии, в том числе ЭО и (или) ДОТ
			Лекции	Практические и лабораторные занятия	Самостоятельная работа	
1.	<b>Модуль 1. Основы языка Verilog</b>	<b>28</b>	<b>2</b>	-	<b>26</b>	ДОТ
1.1	Введение в описание цифровых устройств	4	2	-	2	ДОТ
1.2	Синтаксис языка Verilog	2	-	-	2	ДОТ
1.3	Модули. Иерархичность	4	-	-	4	ДОТ
1.4	Генерация кода. Команда generate1	8	-	-	8	ДОТ
1.5	Несинтезируемые команды языка Verilog	2	-	-	2	ДОТ
1.6	Тестбенчи	8	-	-	8	ДОТ
2.	<b>Модуль 2. Проектирование цифровых схем</b>	<b>12</b>	<b>2</b>	-	<b>10</b>	ДОТ
2.1	Защелки. Триггеры. Конвейеризация	6	2		4	ДОТ
2.2	FSM. Разбиение FSM. Кодирование состояний	4	-		4	ДОТ

№	Наименование тем разделов / модулей	Всего, час	В том числе			Образовательные технологии, в том числе ЭО и (или) ДОТ
			Лекции	Практические и лабораторные занятия	Самостоятельная работа	
2.3	Память	2	-	-	2	ДОТ
3.	<b>Модуль 3. Моделирование в САПР Vivado</b>	<b>12</b>	<b>2</b>	-	<b>10</b>	ДОТ
3.1	Временное моделирование	6	-	-	6	ДОТ
3.2	Отчеты САПР и их использование для оптимизации	2	2	-	-	ДОТ
3.3	Команды tcl. Запуск САПР без интерфейса	4	-	-	4	ДОТ
4.	<b>Модуль 4. Реализация схем на ПЛИС</b>	<b>16</b>	<b>2</b>	-	<b>14</b>	ДОТ
4.1	Архитектура ПЛИС	4	2	-	2	ДОТ
4.2	Пользовательские ограничения (ucf). Запуск проекта	12	-	-	12	ДОТ
	Консультации	4	-	-	-	
	Всего	<b>72</b>	<b>8</b>		<b>60</b>	
Итоговая аттестация: Зачет						

## Календарный учебный график

Календарный учебный график составляется в форме расписания занятий при наборе группы и прилагается к программе повышения квалификации.

### Учебная программа повышения квалификации

#### «Технологии передачи данных в сенсорных сетях»

#### Модуль 1. Введение. Основы языка Verilog (28 часов)

Тема 1.1. Введение в описание цифровых устройств.

Тема 1.2. Синтаксис языка Verilog.

Тема 1.3. Модули. Иерархичность.

Тема 1.4. Генерация кода. Команда generate 1.

Тема 1.5. Несинтезируемые команды языка Verilog.

Тема 1.6. Тестбенчи.

#### Перечень самостоятельной работы

Номер темы	Наименование работы	Кол-во часов
1.1	Булева логика. Аппаратная реализация СКНФ/СДНФ. Упрощение выражений при помощи карт Карно	2
1.2	Синтез произвольной комбинационной схемы по заданию. Команды assign, always, parameter	2
1.3	Синтез иерархического мультиплексора	4
1.4	Команды for, generate, fork. Синтез сумматора с помощью функций generate	8
1.5	Команды \$monitor, \$stop. Несинтезируемые множества в версии Verilog 2001	2
1.6	Настройка radix для отображения временных диаграмм. Временная диаграмма умножителя fixed point	8

## Модуль 2. Проектирование цифровых схем (12 часов)

Тема 2.1. Защелки. Триггеры. Конвейеризация.

Тема 2.2. FSM. Разбиение FSM. Кодирование состояний.

Тема 2.3. Память.

### Перечень самостоятельной работы

Номер темы	Наименование работы	Кол-во часов
2.1	Описание блоков памяти. Конструкция always	4
2.2	Отличие автоматов Мили и Мура. Кодирование состояний автомата	4
2.3	Реализация двухпортовой памяти RAM на основе комбинационной логики и BRAM. Сравнение быстродействия	2

## Модуль 3. Моделирование в САПР Vivado (12 часов)

Тема 3.1. Временное моделирование.

Тема 3.2. Отчеты САПР и их использование для оптимизации.

Тема 3.3. Команды tcl. Запуск САПР без интерфейса.

### Перечень самостоятельной работы

Номер темы	Наименование работы	Кол-во часов
3.1	Определение критического пути	6
3.3	Запуск САПР из командной строки. Основные команды. Синтез проекта АЛУ без интерфейса.	4



#### Модуль 4. Реализация схем на ПЛИС (16 часов)

Тема 4.1. Архитектура ПЛИС.

Тема 4.2. Пользовательские ограничения (исф). Запуск проекта.

##### Перечень самостоятельной работы

Номер темы	Наименование работы	Кол-во часов
4.1	Настройка временных ограничений	2
4.2	Имплементация тестового проекта с использованием ПЛИС	12

#### 5. Материально-технические условия реализации программы

Наименование специализированных аудиторий кабинетов, лабораторий	Вид занятия	Наименование оборудования, программного обеспечения
При дистанционном обучении специализированные помещения не требуются	Лекции, СРС	Персональный компьютер, проектор, интернет, отладочные платы ZedBoard; САПР Vivado 2021.4, Discord
При дистанционном обучении специализированные помещения не требуются	Итоговая аттестация	Персональный компьютер, проектор, интернет, отладочные платы ZedBoard; САПР Vivado 2021.4, Discord

#### 6. Учебно-методическое обеспечение программы

##### Литература

1. Программируемые логические интегральные схемы: учебное пособие / Н. Ю. Сиротинина, О. В. Непомнящий, А. И. Постников, Д. А. Недорезов; Сиб. федер. ун-т, Ин-т космич. и информ. технологий. – Красноярск: СФУ, 2020 (2020-04-24). - 223 с. ISBN 978-5-7638-4244-9

2. В.В. Соловьев. Основы языка проектирования цифровой аппаратуры Verilog // М.: Горячая линия. – Телеком, 2017. – 206 с.

3. Максфилд К. Проектирование на ПЛИС. Курс молодого бойца: Архитектура, средства и методы // М.: ДОДЭКА-XXI, 2010. – 407 с.

4. Д.А. Книшев, М.О. Кузелин. ПЛИС фирмы Xilinx: описание структуры основных семейств // М.: ДОДЭКА-XXI, 2010. – 230 с.

5. В. Немудров, Г. Мартин. Системы на кристалле. Проектирование и развитие // М.: Техносфера, 2004. – 216 с.

## 7. Оценка качества освоения программы

Слушатель считается аттестованным, если при защите самостоятельной работы дан правильный ответ на заданный дополнительный вопрос, а по результатам итогового задания схема была описана на языке Verilog, получены отчеты САПР, настроены ограничения и схема прошита в ПЛИС.

### Модуль 2

*Вариант вопроса по самостоятельной работе по теме 2.1.*

1. Какие существуют наиболее популярные языки описания цифровых схем?
2. Какие существуют способ организации вычислений, позволяющие повысить производительность систем?
3. Где применимы конвейерные вычисления?
4. Какие существуют типы конфликтов конвейера?
5. Чем отличаются различные типы конфликтов конвейера?
6. Назовите недостатки использования конвейера.
7. Сравните параллельные и конвейерные вычислительные системы. Какими преимуществами и недостатками они обладают?

*Примеры вопросов по самостоятельной работе по теме 2.2*

1. Назовите типы конечных автоматов. В чем их различия?
2. Назовите примеры конечных автоматов в цифровой схемотехнике.
3. Может ли конечный автомат состоять только из комбинационных схем?
4. Как можно задавать имена состояний при описании конечного автомата на языке Verilog?
5. При помощи каких языковых конструкций описываются конечные автоматы на языке Verilog?

*Примеры вопросов по самостоятельной работе по теме 2.3*

1. Какие функции выполняют шифраторы и дешифраторы?

2. Какие языковые конструкции могут быть применены при описании шифраторов на языке Verilog?
3. В чем различия между приоритетными и неприоритетными шифраторами? В чем различия их описания на языке Verilog?
4. Существуют ли различия в имплементации на ПЛИС шифраторов при использовании разных языковых конструкций в их описании?
5. Чем отличаются полные шифраторы от неполных? Каковы особенности их описания на языке Verilog?
6. Что можно параметризовать в описании шифраторов на языке Verilog?
7. Приведите пример использования шифраторов.
8. Приведите пример использования дешифраторов.

### Модуль 3

*Вариант вопроса по самостоятельной работе по теме 3.1.*

1. Дайте определение критическому пути.
2. Для чего необходимо измерять критический путь?
3. Какие параметры схемы зависят от критического пути?
4. Назовите способы уменьшить критический путь в рамках одного такта.
5. Каким образом вычисляется критический путь?
6. Вычислите критический путь для схемы, состоящей из трех последовательных элементов с задержкой 5 нс. Временем распространения сигнала по проводнику следует пренебречь.

*Вариант вопроса по самостоятельной работе по теме 3.2.*

1. Какие ресурсы необходимо рассматривать при проектировании схем для ПЛИС?
2. На каком этапе разработки проводится анализ потребляемых ресурсов?
3. Как провести анализ потребляемых ресурсов в САПР Vivado?
4. Как зависит потребляемая мощность схемы от тактовой частоты?
5. Какие существуют способы уменьшения потребляемых DSP блоков?

## Модуль 4

*Вариант вопроса по самостоятельной работе по теме 4.2.*

1. Какова последовательность операций, предшествующий генерации битстрима?
2. Какова роль имплементации схемы?
3. Возможно ли имплементировать схему со 100% использованных LUT?
4. Каким образом задаются временные ограничения для проекта?

Итоговое задание

*Пример тестового задания.*

Реализовать конечный автомат, управляющий светофорами на перекрестке. Перекресток состоит из двух перпендикулярно пересекающихся дорог, которые, в свою очередь, состоят из одной полосы в каждом направлении. Поворот направо при красном сигнале светофора запрещен, дополнительные секции светофора отсутствуют.

А) Автомобиль из каждой полосы должен иметь возможность повернуть налево, направо и проехать прямо.

Б) Теперь на одном из направлений дополнительно установлен пешеходный переход и светофор для пешеходов.


В) На светофоре для пешеходов установлена кнопка. При нажатии на нее (при необходимости) цикл переключений прерывается, а на следующем переключении для пешехода должен загореться зеленый цвет. После этого, светофоры должны продолжить выполнять цикл.

### 8. Составители программы

Доцент кафедры ТКС, к.т.н., доцент

 /Волков А.С./

ст. преподаватель кафедры ТКС

 /Солодков А.В./

**Согласовано**

Директор ДРОП

 /Соколова Н.Ю./

Заведующий кафедрой ТКС, к.т.н.

 /Бахтин А.А./