

Министерство науки и высшего образования Российской Федерации  
Федеральное государственное автономное образовательное учреждение высшего  
образования «Национальный исследовательский университет «Московский институт  
электронной техники»



УТВЕРЖДАЮ

Проректор по УР

А.Г. Балашов

«12» октября

2022

**ПРОГРАММА ПОВЫШЕНИЯ КВАЛИФИКАЦИИ**  
**«ОСНОВЫ ЦИФРОВОЙ ЭЛЕКТРОНИКИ С ИСПОЛЬЗОВАНИЕМ СРЕДСТВ**  
**САПР БИС «КОВЧЕГ 3.04»**

Москва – 2022

## 1. Цель реализации программы

Цель программы – формирование компетенции «Способен выполнять проектирование цифровых схем в соответствии с техническим заданием с использованием средств САПР БИС «Ковчег 3.04» (внесен в Единый реестр российских программ для электронных вычислительных машин и баз данных: №12158 от 30.11.2021), соответствующей отдельным трудовым функциям профессионального стандарта 25.036 «Специалист по электронике бортовых комплексов управления»:

ОТФ В. Создание электронных средств и электронных систем БКУ:

В/02.6 Проектирование электронных средств и электронных систем БКУ и осуществление контроля над их изготовлением.

## 2. Характеристика профессиональной деятельности и (или) квалификации

Область профессиональной деятельности: производство электрооборудования, электронного и оптического оборудования (в сфере проектирования, технологии и производства систем в корпусе и микро- и наноразмерных электромеханических систем).

Вид экономической деятельности: деятельность в области информации и связи

Укрупненная группа специальностей: 11.00.00

Квалификация: без квалификации

## 2. Требования к результатам обучения

Формируемая профессиональная компетенция – Способен выполнять проектирование цифровых схем в соответствии с техническим заданием с использованием средств САПР БИС «Ковчег 3.04»

В результате освоения данной программы слушатель должен:

**знать:**

- основные подсистемы САПР БИС «Ковчег 3.04»;
- основные законы булевой алгебры;
- формы представления функций алгебры логики;
- способы минимизации функций алгебры логики;
- способы задания закона функционирования триггера;
- способы формирования в регистре общих цепей сброса и установки;
- особенности реализации цепей приёма в параллельных регистрах;
- способы организация цепей приёма и выдачи в делителях частоты;
- основные операции, выполняемые сдвигаемым регистром;
- основные параметры и классификацию синхронных счетчиков;
- способы синтеза асинхронных счетчиков;

- способы проектирования пересчетных устройств;
- основные процедуры проектирования пересчётного устройства с повторяющимися состояниями.

***уметь:***

- проектировать типовые комбинационные схемы;
- проектировать типовые асинхронные и синхронные триггерные устройства;
- проектировать параллельные регистры;
- проектировать делители частоты;
- проектировать синхронные и асинхронные счетчики;
- проектировать пересчетные устройства.

***иметь практический опыт:***

- проектирования цифровых схем с использованием средств САПР БИС «Ковчег 3.04»

### **3. Содержание программы**

**Учебный план  
программы повышения квалификации  
«ОСНОВЫ ЦИФРОВОЙ ЭЛЕКТРОНИКИ С ИСПОЛЬЗОВАНИЕМ СРЕДСТВ  
САПР БИС «КОВЧЕГ 3.04»**

Категория слушателей – сотрудники предприятий, профессиональной деятельностью которых является проектирование полузаказных микросхем (инженер-электроник, инженер-конструктор, ведущий инженер-электроник, ведущий инженер-конструктор и другие инженеры, деятельность которых связана с проектированием полузаказных микросхем).

Срок обучения – 72 часа

Форма обучения: заочная

№ п/п	Наименование разделов / модулей	Всего, час	В том числе			Образова- тельные технологии, в том числе ЭО и (или) ДОТ
			Аудиторных		Самост- ятельн- ая работа	
			Лекции	Практичес- кие и лаборатор- ные занятия		
1.	Среда САПР БИС «Ковчег 3.04»	8	2	4	2	ЭО
2.	Комбинационные схемы	8	2	4	2	ЭО
3.	Триггерные устройства	8	2	4	2	ЭО
4.	Параллельные регистры	8	2	4	2	ЭО
5.	Делители частоты	8	2	4	2	ЭО
6.	Синхронные счетчики	8	2	4	2	ЭО
7.	Асинхронные счетчики	8	2	4	2	ЭО
8.	Пересчетные устройства	8	2	4	2	ЭО
Итоговая аттестация		8	проектное задание			
	Всего	72	16	32	16	

**Учебно-тематический план**  
**программы повышения квалификации**  
**«ОСНОВЫ ЦИФРОВОЙ ЭЛЕКТРОНИКИ С ИСПОЛЬЗОВАНИЕМ СРЕДСТВ**  
**САПР БИС «КОВЧЕГ 3.04»**

№ п/п	Наименование тем разделов / модулей	Всего, час	В том числе			Образова- тельные технологии, в том числе ЭО и (или) ДОТ
			Аудиторных		Самос- тоятел- ьная работа	
			Лекции	Практичес- кие и лаборатор- ные занятия		
1.	Среда САПР БИС «Ковчег 3.04»	8	2	4	2	ЭО
1.1	Структура среды разработки САПР БИС «Ковчег 3.04»	4	1	2	1	ЭО
1.2	Описание процесса разработки и моделирования работы схемы	4	1	2	1	ЭО
2	Комбинационные схемы	8	2	4	2	ЭО
2.1.	Основные законы булевой алгебры	4	1	2	1	ЭО
2.2	Синтез комбинационных схем	4	1	2	1	ЭО
3	Триггерные устройства	8	2	4	2	ЭО
3.1	Асинхронные триггеры	4	1	2	1	ЭО
3.2	Синхронные триггеры	4	1	2	1	ЭО
4	Параллельные регистры	8	2	4	2	ЭО
4.1	Организация цепей приёма	4	1	2	1	ЭО
4.2	Реализация в регистрах поразрядных логических операций	4	1	2	1	ЭО
5	Делители частоты	8	2	4	2	ЭО
5.1	Организация цепей приёма	4	1	2	1	ЭО

	и выдачи. Организация цепей сдвига.					
5.2	Полные графы переходов для сдвиговых регистров с числом разрядов от 1 до 4	4	1	2	1	ЭО
6	Синхронные счетчики	8	2	4	2	ЭО
6.1	Определения, параметры и классификация	4	1	2	1	ЭО
6.2	Базовые структуры двоичных счётчиков с модулем счёта $M = 2^n$	4	1	2	1	ЭО
7	Асинхронные счетчики	8	2	4	2	ЭО
7.1	Общие сведения об асинхронных счетчиках	4	1	2	1	ЭО
7.2	Синтез асинхронных счетчиков	4	1	2	1	ЭО

8	Пересчетные устройства	8	2	4	2	ЭО
8.1	Способы проектирования пересчетных устройств	4	1	2	1	ЭО
8.2	Процедуры проектирования пересчётного устройства с повторяющимися состояниями	4	1	2	1	ЭО
Итоговая аттестация		8	проектное задание			
Всего		72	16	32	16	

**Учебная программа  
повышения квалификации  
«ОСНОВЫ ЦИФРОВОЙ ЭЛЕКТРОНИКИ С ИСПОЛЬЗОВАНИЕМ СРЕДСТВ  
САПР БИС «КОВЧЕГ 3.04»**

**Модуль 1. Среда САПР БИС «Ковчег 3.04» (8 часов)**

Тема 1.1. Структура среды разработки САПР БИС «Ковчег 3.04»:

- Общие сведения, справочная система
- Меню, панели инструментов, панели быстрого доступа, рабочие окна

Тема 1.2. Описание процесса разработки и моделирования работы схемы:

- Редактирование схемы
- Разработка тестовых воздействий
- Описание отображения групп сигналов схемы
- Моделирование работы схемы по тестовым воздействиям

## **Модуль 2. Комбинационные схемы (8 часов)**

Тема 2.1. Основные законы булевой алгебры:

- Введение в булеву алгебру
- Аксиомы булевой алгебры
- Следствия из основных законов булевой алгебры
- Формы представления и классификация функций алгебры логики
- Классификация функций алгебры логики
- Специальные классы функций алгебры логики
- Минимизация функций алгебры логики
- Расчётный метод минимизации
- Табличный метод минимизации с помощью карт Карно

Тема 2.2. Синтез комбинационных схем:

- Система классификации комбинационных схем
- Пример синтеза комбинационной схемы

## **Модуль 3. Триггерные устройства (8 часов)**

Тема 3.1. Асинхронные триггеры:

- Классификация триггеров по функциональному назначению
- Определения и основные понятия
- Типовые микрооперации, выполняемые триггером
- Способы задания закона функционирования триггера
- Словесное описание, таблица переходов
- Характеристические уравнения, графы переходов
- Асинхронный RS-триггер
- Асинхронный R-триггер
- Асинхронный E-триггер
- Асинхронный JK-триггер
- Асинхронный T-триггер

Тема 3.2. Синхронные триггеры:

- Синхронный RS-триггер
- Синхронный R-триггер
- Синхронный D-триггер
- Универсальный JK-триггер
- Синхронный D-триггер, тактируемый переходом

– Произвольные триггерные структуры на базе универсальных D- и JK-триггеров

#### **Модуль 4. Параллельные регистры (8 часов)**

Тема 4.1. Организация цепей приёма

– Определения, классификация и основные понятия  
– Факторы, определяющие организацию и структуру цепей приёма данных в параллельных регистрах

– Организация цепей приёма с маскированием

– Формирование в регистре общих цепей сброса и установки.

– Особенности реализации цепей приёма

– Тактируемый RS-триггер в базисе ИЛИ-НЕ с асинхронными входами установки и сброса

Тема 4.2. Реализация в регистрах поразрядных логических операций

– Методы разработки цепей приема данных

– Примеры разработки параллельных регистров

– Режим хранения. Организация цепей выдачи

– Примеры формирования цепей выдачи данных в параллельных регистрах

#### **Модуль 5. Делители частоты (8 часов)**

Тема 5.1. Организация цепей приёма и выдачи. Организация цепей сдвига

– Организация цепей сдвига для случая однофазной синхронизации

– Организация цепей сдвига в реверсивных регистрах

Тема 5.2. Полные графы переходов для сдвиговых регистров с числом разрядов от 1 до 4

– Схема сдвига 4-разрядного числа от нуля до трёх разрядов на мультиплексорах

– Примеры построения схем с использованием полных графов переходов сдвиговых регистров

– Операции, выполняемые сдвиговым регистром

– Преобразование параллельного кода в последовательный

– Преобразование последовательного кода в параллельный

– Хранение чисел в ОЗУ с небольшим объемом данных с последовательной выборкой

– Логические и арифметические сдвиги

#### **Модуль 6. Синхронные счетчики (8 часов)**

Тема 6.1. Определения, параметры и классификация

– Принципы построения синхронных счетчиков

– Микрооперации, выполняемые универсальным счётчиком

Тема 6.2. Базовые структуры двоичных счётчиков с модулем счёта  $M = 2^n$

- Функционирование суммирующего трёхразрядного счётчика
- Схема двоичного суммирующего счётчика с параллельным переносом на счётных триггерах
- Схема двоичного суммирующего счётчика со сквозным переносом на счётных триггерах
- Схема двоичного суммирующего счётчика с последовательным переносом на счётных триггерах
- Схема двоичного суммирующего счётчика с групповым переносом на счётных триггерах
- Счётчики с параллельным переносом, построенные на счётных триггерах
- Счётчики, построенные на синхронных триггерах

### **Модуль 7. Асинхронные счетчики (8 часов)**

#### Тема 7.1. Общие сведения об асинхронных счетчиках

- Счётчики с последовательным переносом, построенные на счётных триггерах
- Счётчики, построенные на синхронных триггерах, не все тактовые входы которых подключены к входным тактовым импульсам

#### Тема 7.2. Синтез асинхронных счетчиков

- Схема асинхронного суммирующего счётчика с  $M = 12$
- Схема асинхронного вычитающего двоичного счётчика

### **Модуль 8. Пересчетные устройства (8 часов)**

#### Тема 8.1. Способы проектирования пересчетных устройств

- Добавление в пересчётное устройство триггеров-меток
- Применение структуры счётчик – комбинационная схема

#### Тема 8.2. Процедуры проектирования пересчётного устройства с повторяющимися состояниями

- Схемы пересчетного устройства с повторяющимися состояниями
- Варианты кодирования последовательности состояний пересчётного устройства

### **Перечень практических занятий**

Практические занятия не предусмотрены.

### **Перечень лабораторных работ**

<b>Номер темы</b>	<b>Наименование лабораторной работы</b>	<b>Кол-во часов</b>
1.1, 1.2	Изучение интерфейса САПР БИС «Ковчег 3.04»	4
2.1, 2.2	Проектирование комбинационных схем	4
3.1, 3.2	Проектирование триггерных устройств	4
4.1, 4.2	Проектирование параллельных регистров	4

5.1, 5.2	Проектирование делителей частоты	4
6.1, 6.2	Проектирование синхронных счетчиков	4
7.1. 7.2	Проектирование асинхронных счетчиков	4
8.1, 8.2	Проектирование пересчетных устройств	4

#### 4. Материально-технические условия реализации программы

Наименование специализированных аудиторий кабинетов, лабораторий	Вид занятия	Наименование оборудования, программного обеспечения
Рабочее место слушателя	Лекции, лабораторные работы, СРС	<p>Аппаратное обеспечение:</p> <p>Компьютер с выходом в Интернет</p> <p>Программное обеспечение (версий не ниже указанных):</p> <ul style="list-style-type: none"> <li>– Операционная система MICROSOFT Windows 10/8/7;</li> <li>– Adobe Reader XI;</li> <li>– Microsoft Office 2007 (или аналогичным офисным пакетом с текстовым и графическим редакторами);</li> <li>– Интернет-браузер (например, Google Chrome, Internet Explorer, Mozilla).</li> </ul>

#### 5. Учебно-методическое обеспечение программы

##### Основная литература:

1. Якунин А.Н., Переверзев А.Л., Денисов А.Н., Иванов В.А., Калеев Д.В., Куцев А.О. Полузаказные БИС на БМК серий 5503 и 5507. Лабораторные практикумы. Кн. 1. Цифровая схемотехника / А.Н.Якунин, А.Л.Переверзев, А.Н.Денисов, В.А.Иванов, Д.В.Калеев, А.О.Куцев – М. : Техносфера, 2019.

2. Гаврилов С.А., Денисов А.Н., Коняхин В.В., Соколовская М.М. Полузаказные БИС на БМК серий 5503 и 5507 : Практическое пособие, Книга 2. Система автоматизированного проектирования «Ковчег 3.04» / под общ. ред. А.Н.Саурова. – М. : Техносфера, 2019

### **Дополнительная литература:**

1. Денисов А.Н., Фомин Ю.П., Коняхин В.В., Федоров Р.А. Библиотека функциональных ячеек для проектирования полузаказных микросхем серий 5503 и 5507 / под общ. ред. А.Н.Саурова. – М. : Техносфера, 2012.

2. Коняхин В.В., А.Н.Денисов, Р.А.Федоров, А.Л.Вильсон, С.С.Бражников, В.С.Коновалов, Н.И.Малашевич, Росляков А.С. Микросхемы для аппаратуры космического назначения : Практическое пособие / под общ. ред. А.Н.Саурова. – М. : Техносфера, 2017.

3. Денисов А.Н., Коняхин В.В. Полузаказные БИС на БМК серий 5503 и 5507 : Практическое пособие, Книга 1. Методология проектирования и освоение производства / под общ. ред. А.Н.Саурова. – М. : Техносфера, 2019.

4. Денисов А.Н., Фомин Ю.П., Коняхин В.В., Федоров Р.А. Полузаказные БИС на БМК серий 5503 и 5507 : Практическое пособие, Книга 3. Библиотека функциональных ячеек для проектирования полузаказных микросхем серий 5503 и 5507 / под общ. ред. А.Н.Саурова. – М. : Техносфера, 2019.

5. Ю.А.Степченко, Денисов А.Н., Дьяченко Ю.Г., Гринфельд В.И., Филимоненко О.П., Морозов Н.В., Степченко Д.Ю., Плеханов Л.П. Полузаказные БИС на БМК серий 5503 и 5507 : Практическое пособие, Книга 4. Библиотека функциональных ячеек для проектирования самосинхронных полузаказных микросхем серий 5503 и 5507 / под общ. ред. А.Н.Саурова. – М. : Техносфера, 2017.

### **Перечень ресурсов сети «Интернет»**

1. ЛитРес : Библиотека функциональных ячеек для проектирования полузаказных микросхем серий 5503 и 5507 [Электронный ресурс] // сайт. — URL : <https://www.litres.ru/a-n-denisov/biblioteka-funkcionalnyh-yacheek-dlya-proektirovaniya-poluzakaznyh-mikroshem-seriy-5503-i-5507-7068362/> (дата обращения: 03.03.2022).

2. ЛитРес : Полузаказные БИС на БМК серий 5503 и 5507. Лабораторные практикумы. Книга 1. Цифровая схемотехника [Электронный ресурс] // сайт. — URL : <https://www.litres.ru/a-l-pereverzev/poluzakaznye-bis-na-bmk-seriy-5503-i-5507-laborato-64629911/> (дата обращения: 03.03.2022).

3. ЛитРес : Полузаказные БИС на БМК серий 5503 и 5507. В 4 книгах. Практическое пособие. Книга 1. Методология проектирования и освоение производства [Электронный ресурс] // сайт. — URL : <https://www.litres.ru/a-n-denisov/poluzakaznye-bis-na-bmk-seriy-5503-i-5507-v-4-knigah-45280781/> (дата обращения: 03.03.2022).

4. ЛитРес : Полузаказные БИС на БМК серий 5503 и 5507. Книга 2. Система автоматизированного проектирования «Ковчег 3.04» [Электронный ресурс] // сайт. — URL : <https://www.litres.ru/a-n-denisov/poluzakaznye-bis-na-bmk-seriy-5503-i-5507-kniga-2-sis-56637130/> (дата обращения: 03.03.2022).

5. ЛитРес : Полузаказные БИС на БМК серий 5503 и 5507. Книга 3. Библиотека функциональных ячеек для проектирования полузаказных микросхем серий 5503 и 5507 [Электронный ресурс] // сайт. — URL : <https://www.litres.ru/a-n-denisov/poluzakaznye-bis-na-bmk-seriy-5503-i-5507-kniga-3-bib-56637170/> (дата обращения: 03.03.2022).

6. ЛитРес : Полузаказные БИС на БМК серий 5503 и 5507. Книга 4. Библиотека функциональных ячеек для проектирования самосинхронных полузаказных микросхем серий 5503 и 5507 [Электронный ресурс] // сайт. — URL : <https://www.litres.ru/raznoe-4340152/poluzakaznye-bis-na-bmk-seriy-5503-i-5507-kniga-4-39829256/> (дата обращения: 03.03.2022).

#### **6. Оценка качества освоения программы**

Текущий контроль проводится по завершению времени, выделенного на выполнение лабораторного задания, которое предусмотрено в каждом разделе путем тестирования. Обучающийся может перейти к выполнению задания следующей лабораторной работы только после успешного завершения текущего задания (Приложение 1).

После выполнения всех заданий текущего контроля обучающийся выполняет проектное задание (итоговая аттестация). Пример проектного задания приведен в Приложении 2.

В рамках программы повышения квалификации возможно изготовление на льготных условиях учебных проектов в НПК «Технологический центр» (по согласованию с НПК «Технологический центр»).

Задание текущего контроля считается успешно выполненным \_ в случае преодоления порога в 80% правильных ответов. Количество баллов, которое при этом получает обучающийся, пропорционально числу правильных ответов. Максимальное количество баллов за задание текущего контроля составляет 10 баллов. Максимальный балл (20) за итоговую аттестацию ставится в случае полностью правильного выполнения проектного задания. Средний балл (10) за итоговую аттестацию ставится в случае допущения одной ошибки. Минимальный балл (5) за итоговую аттестацию ставится в случае допущения большего числа ошибок, но не более трех ошибок.

Прохождение итоговой аттестации является обязательным для получения положительной итоговой оценки. Структура и сроки сдачи контрольных мероприятий, а также детальная схема начисления баллов представлена в таблице ниже.

### Структура и график контрольных мероприятий

№ модуля	1	2	3	4	5	6	7	8	Итоговая аттестация	ИТОГО
Максимальный балл	10	10	10	10	10	10	10	10	20	100

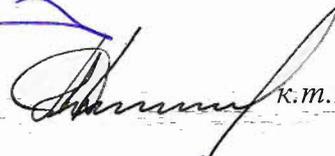
При выставлении итоговой оценки используется следующая шкала:

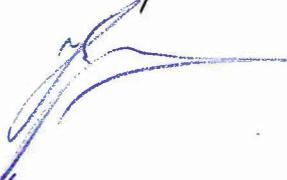
Сумма баллов	Оценка
менее 60	не зачтено
60 и выше	зачтено

#### 7. Составители программы

Доцент Института НМСТ НИУ МИЭТ  к.т.н., доцент Шалимов А.С.

Доцент Института НМСТ НИУ МИЭТ  к.т.н. Вертянов Д.В.

Главный конструктор отдела интегральных микросхем НПК «Технологический центр»  к.т.н. Денисов А.Н.

Начальник отдела интегральных микросхем НПК «Технологический центр»  Коняхин В.В.

#### Согласовано:

Директор ДРОП НИУ МИЭТ  Н.Ю. Соколова

Зам.директора Института НМСТ НИУ МИЭТ  Г.В.Косолапова

## Примеры заданий текущего контроля

1. Используя карты Карно, минимизировать функции алгебры логики, заданные числовым представлением СКНФ и СДНФ:

$$y_1 = \Lambda(3, 6, 7, 12-15; \times: 2, 9, 11);$$

$$y_2 = \vee(5, 7, 8, 13, 15; \times: 0-3, 9-11);$$

$$y_3 = \Lambda(0, 4, 25, 27, 29, 31; \times: 1, 2, 6, 19, 23, 26, 28, 30);$$

$$y_4 = \vee(0, 1, 3, 7, 8, 9, 11, 15, 21, 24, 25, 27, 31; \times: 5, 13, 16, 17, 19, 23, 26, 28, 29, 30).$$

2. Синтезировать в базисе ИЛИ-НЕ Е-триггер с активными уровнями:  $ER = 1, ES = 0$ .

3. Используя D-триггеры, разработать разряд регистра, выполняющий микрооперации:

– прием данных ( $Q_i^{t+1} = x_i^t$ );

– логическое «И» ( $Q_i^{t+1} = Q_i^t \times x_i^t$ );

– прием данных ( $Q_i^{t+1} = \overline{Q_i^t}$ );

4. Используя сдвиговой регистр на JK-триггерах, разработать самовосстанавливающийся делитель частоты на 13.

5. Используя D-триггеры, синтезировать вычитающий синхронный счётчик, считающий от 11 до 0.

### **Пример проектного задания**

Разработайте асинхронный суммирующий счетчик на D-триггерах, срабатывающий по положительному фронту тактового импульса. Основание счета равно 12. На первых двух тактах происходит сброс счетчика. Выполните моделирование проекта и убедитесь в правильности его работы.